

(11)Publication number :

61-184795

(43)Date of publication of application : 18.08.1986

(51)Int.Cl.

G11C 17/00

(21)Application number : 60-025685

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.02.1985

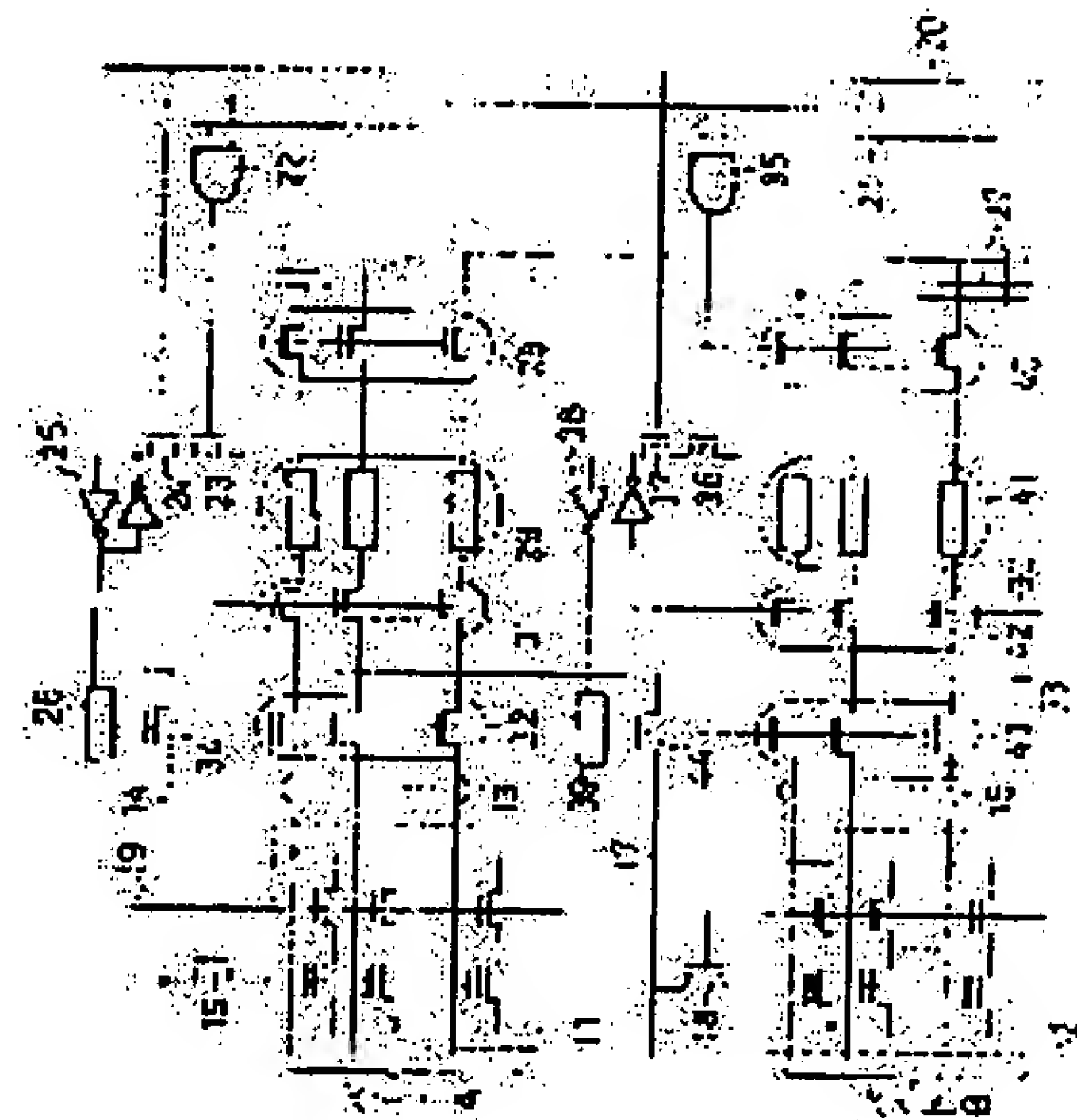
(72)Inventor : MIYAMOTO JUNICHI  
TSUJIMOTO JUNICHI

**(54) ELECTRICALLY ERASABLE AND REWRITABLE READ-ONLY MEMORY**

**(57)Abstract:**

**PURPOSE:** To allow page mode programming and to suppress the probability of fault occurrence of a memory cell by providing a byte data buffer, a flag means which outputs a rewriting flag, and erasing means which erases stored data, and a writing means.

**CONSTITUTION:** A transistor (TR) group 28 for a transfer gate for byte data storage which is brought under gate control with the output of the 1st byte address decoder 22 and the 1st byte data storage circuit group (byte data buffer) 29 wherein writing byte data are stored temporarily are interposed in series between a data bus 27 and the bit line group 13 of the 1st cell group 11. Further, a TR group 31 for a page selection transfer gate which is brought under gate control with the output of a page decoder output line 30 and a TR group 32 for a column transfer gate which is brought under gate control with the output of the 1st column transfer gate driving circuit 26 are interposed in series.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑤Int.Cl.<sup>4</sup>

G 11 C 17/00

識別記号

1 0 1

庁内整理番号

6549-5B

④公開 昭和61年(1986)8月18日

審査請求 有 発明の数 1 (全6頁)

⑬発明の名称 電氣的消去・再書き込み可能な読出し専用メモリ

⑰特 願 昭60-25685

⑱出 願 昭60(1985)2月13日

⑫発 明 者	宮 本	順 一	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑫発 明 者	辻 本	順 一	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑰出 願 人	株 式 会 社	東 芝	川崎市幸区堀川町72番地	
⑱代 理 人	弁 理 士	鈴 江 武 彦	外 2 名	

明 細 書

1. 発明の名称

電氣的消去・再書き込み可能な読出し専用メモリ

2. 特許請求の範囲

(1) バイトデータを記憶する電氣的消去および再書き込みが可能なメモリセル群と、このメモリセル群のバイト単位のカラム毎に対応して設けられ、バイトロードサイクルで書き込み対象となるページデータのうちデータ書き換えを必要とするバイトデータを一時的に格納するバイトデータバッファと、同じくバイトロードサイクルで前記データ書き換えを必要とするバイトデータに対応して書き換えフラグを出力するフラグ手段と、消去サイクルで上記フラグ手段のフラグ出力を参照してデータ書き換えを必要とするメモリセル群を選択してその記憶データを消去する消去手段と、プログラムサイクルでページ選択されたメモリセル群のうちデータ書き換えを必要とするメモリセル群を前記フラグ手

段のフラグ出力を参照して選択し、このメモリセル群に前記バイトデータバッファの格納データに対応した書き込みを行なう書き込み手段とを具備することを特徴とする電氣的消去・再書き込み可能な読出し専用メモリ。

(2) 前記ページデータのうちデータ書き換えを必要とするバイトデータに対応するメモリセル群のバイトアドレスが与えられるアドレスバスと、前記バイトデータバッファ毎に対応して設けられ、上記アドレスバス上のバイトアドレスをデコードするバイトアドレスデコードと、前記ページデータのうちデータ書き換えを必要とするバイトデータが与えられるデータバスと、このデータバスと前記バイトデータバッファとの間に設けられ前記バイトアドレスデコードのデコード出力により導通制御されるバイトデータ格納用のトランスファゲート群とを有し、前記フラグ手段は前記バイトアドレスデコード毎に設けられ、このバイトアドレスデコードのデコード出力とライトイネーブル信号とが共に存

えフラグを出力するフリップフロップ回路であり、このフリップフロップ回路の書き換えフラグ出力により導通制御され、前記バイトデータバッファと対応するメモリセル群のビット線との間および上記メモリセル群のフローティングゲートトランジスタのゲートとプログラム線との間に設けられたカラムトランスファゲート群と、前記バイトデータバッファと対応するメモリセル群のビット線群との間に設けられ、書き込み対象となるページデータに対応する全てが共通に導通制御されるページ選択トランスファゲート群とを有することを特徴とする前記特許請求の範囲第1項記載の電氣的消去・再書き込み可能な読出し専用メモリ。

### 3. 発明の詳細な説明

#### 〔発明の技術分野〕

本発明は、電氣的消去・再書き込み可能な読出し専用メモリ ( $E^2$ PROM) に係り、特にページモードプログラミング系に関する。

現するための具体的な回路形式は未だ定まっていなないが、単純な構成として、 $n$  バイトのページデータのうち書き換えデータが何バイトであっても  $n$  バイト全てを書き換える方法が考えられる。即ち、第2図に示すように、ページモードプログラム動作に入った瞬間に本体メモリ1の選択されたカラムに属するバイトデータ全てをデータラッチ部3へ転送する。そして、バイトロードサイクルで上記データラッチ部3に対してのみアクセスして書き込みデータに変更する。次の消去サイクルで前記本体メモリ1の選択カラム2のデータ全てを消去し、次のプログラムサイクルで前記データラッチ部3のデータ全てを本体メモリ1の選択カラム2に転送するものである。

このような方法によれば、システム的に簡単であり、本体メモリ1のカラムに対するバイトデータのセレクトも不要であり、メモリの集積度を高くとることができる。

#### 〔背景技術の問題点〕

近年、 $E^2$ PROM の大容量化に伴ない、 $E^2$ PROM のデータ書き込み時間が長いという問題を解決する方法として、短時間にデータの書き換えを行なうためのページモードプログラミングが提案されている。このページモードプログラミングの仕様は、第2図に示すようにページプログラムモードにおけるバイトロードサイクルで  $n$  バイトの書き込みデータ (1 ページ分) を全て取り込んで内部にラッチしておき、次の消去サイクルで書き換え対象となるメモリセルの記憶データを全て消去し、次のプログラムサイクルで前記ラッチしておいたデータをプログラム (書き込み) して通常の読み出しモードに戻るものである。この場合、消去・プログラム時間は、書き込みデータのバイト数に関係なく一定 (たとえば 5 ms) なので、ページのバイト数が多いほど等価的にプログラム時間が短縮されることになる。

上記ページモードプログラミングの仕様を具

ところで、 $E^2$ PROM は通常の RAM と異なり、たとえばフラグのような機構によって書き込みデータと読み出しデータとを比較しない限り、記憶データと書き込みデータとが同一の場合でも消去・プログラムのサイクルを経なければならぬ。しかし、この消去・プログラムのサイクルには高電圧の印加を必要とし、メモリセルの不良は高電圧印加時に生じる確率が高い。したがって、このようなセル不良の発生を抑制するためには、前記したような記憶データと書き込みデータとが同一の場合、即ち同一データの書き換えを避けることが望ましい。

#### 〔発明の目的〕

本発明は上記の事情に鑑みてなされたもので、同一バイトデータの書き換えを避けて書き換えを必要とするバイトデータのみを書き換えを行なうページモードプログラミングが可能であり、メモリセルの不良発生の確率を抑制し得る電氣的消去・再書き込み可能な読出し専用メモリを提供するものである。



即ち、本発明は、ページモードプログラミング仕様を満足する $E^2$ PROMにおいて、バイトロードサイクルで書き込み対象となるページデータのうちデータ書き換えを必要とするバイトデータを一時的に格納するバイトデータバッファと、同じくバイトロードサイクルで前記データ書き換えを必要とするバイトデータに対応して書き換えフラグを出力するフラグ手段と、消去サイクルで上記フラグ手段のフラグ出力を参照してデータ書き換えを必要とするメモリセル群を選択してその記憶データを消去する消去手段と、プログラムサイクルでページ選択されたメモリセル群のうちデータ書き換えを必要とするメモリセル群を前記フラグ手段のフラグ出力を参照して選択し、このメモリセル群に前記バイトデータバッファの格納データに対応した書き込みを行なう書き込み手段とを具備することを特徴とするものである。

したがって、同一バイトデータの書き換えを

ト線からなるビット線群、14は上記第1のセル群11における各メモリセルのフローティングゲート用MOSトランジスタ $Q_p$ のゲートにトランスファゲート用MOSトランジスタ15を介して接続される第1のゲート制御線であって、上記ビット線群13と共に第1カラムに属している。同様に、16は前記第2のセル群12における各メモリセルのトランスファゲート用MOSトランジスタ $Q_p$ の各一端にそれぞれ接続された8本のビット線からなるビット線群、17は上記第2のセル群12における各メモリセルのフローティングゲート用MOSトランジスタ $Q_p$ のゲートにトランスファゲート用MOSトランジスタ18を介して接続される第2のゲート制御線であって、上記ビット線群16と共に第2カラムに属している。そして、19は上記第1、第2のセル群11、12の各トランスファゲート用トランジスタ $Q_p$ および前記MOSトランジスタ15、18のゲートに共通接続されたワード線である。

一方、20はライトイネーブル線、21はアド

レスバス、22はこのアドレスバス21のアドレス信号をデコードして前記第1のセル群11のカラム選択を行なうためのバイトA選択用の第1のバイトアドレスデコード、23は上記第1のバイトアドレスデコード22のデコード出力によりゲート制御されるMOSトランジスタ、24は前記ライトイネーブル線20の信号によりゲート制御されるMOSトランジスタ、25は書き換えフラグを立てるためのフラグ手段であって、たとえばその入力端が上記2個のトランジスタ23、24を直列に介して接地された第1のフリップフロップ(FF)回路、26はこのFF回路26の出力に応じて動作制御が行なわれる第1のカラムトランスファゲート駆動回路である。27はデータバスであり、このデータバス27と前記第1のセル群11のビット線群13との間には、前記第1のバイトアドレスデコード22の出力によりゲート制御されるバイトデータ格納用のトランスファゲート用トランジスタ群28と、書き換えバイトデータを一時

#### 〔発明の実施例〕

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図は $E^2$ PROMの一部であって、説明の簡単化のためにセルデータの読み出し系統の図示は省略し、ページモードプログラミングのページデータ(たとえば16バイトデータ)のうちの2つのバイトデータA、Bに対応する回路を代表的に取り出して示している。11はバイトデータAに対応する8個の電気的消去および再書き込みが可能なメモリセルを含む第1のセル群、12はバイトデータBに対応する8個のメモリセルを含む第2のセル群である。13は上記第1のセル群11における各メモリセルのトランスファゲート用MOSトランジスタ $Q_p$ の各一端(ドレイン)にそれぞれ接続された8本のビッ

レスバス、22はこのアドレスバス21のアドレス信号をデコードして前記第1のセル群11のカラム選択を行なうためのバイトA選択用の第1のバイトアドレスデコード、23は上記第1のバイトアドレスデコード22のデコード出力によりゲート制御されるMOSトランジスタ、24は前記ライトイネーブル線20の信号によりゲート制御されるMOSトランジスタ、25は書き換えフラグを立てるためのフラグ手段であって、たとえばその入力端が上記2個のトランジスタ23、24を直列に介して接地された第1のフリップフロップ(FF)回路、26はこのFF回路26の出力に応じて動作制御が行なわれる第1のカラムトランスファゲート駆動回路である。27はデータバスであり、このデータバス27と前記第1のセル群11のビット線群13との間には、前記第1のバイトアドレスデコード22の出力によりゲート制御されるバイトデータ格納用のトランスファゲート用トランジスタ群28と、書き換えバイトデータを一時

路群（バイトデータバッファ）29と、ページデコード出力線30の信号によりゲート制御されるページ選択トランスファゲート用トランジスタ群31と、前記第1のカラムトランスファゲート駆動回路26の出力によりゲート制御されるカラムトランスファゲート用トランジスタ群32とが直列に挿入されている。また、33はプログラム線であり、前記第1のゲート制御線14との間に前記第1のカラムトランスファゲート駆動回路の出力によりゲート制御されるカラムトランスファゲート用トランジスタ34が挿入されている。

上記第1のセル群11に対応するプログラム系統と同様に、前記第2のセル群12に対応するプログラム系統として第2のバイトアドレスデコード35、MOSトランジスタ36、37、第2のFF回路38、第2のカラムトランスファゲート駆動回路39、バイトデータ格納用トランスファゲート用トランジスタ群40、第2の

非選択バイトに対応する第2のバイトアドレスデコード35の出力は“0”レベルである。また、上記アドレスバス21上のアドレス信号の変化に対応してデータバス27上に書き換えデータが順次現われるもので、データバス27に現われた第1のセル群11に対応する書き換えデータはトランスファゲート用トランジスタ群28を通過して第1のデータストレージ回路群29に格納される。

一方、ライトイネーブル線20の有意レベル“1”および第1のバイトアドレスデコード22のデコード出力“1”との論理積が成立すると、MOSトランジスタ23、24がそれぞれオン状態になり、第1のFF回路25の出力は通常状態の“0”レベルから“1”レベル（書き換えフラグ）に反転するが、非選択バイトに対応する第2のFF回路38は通常状態（入力端が開放状態）であってその出力は“0”レベル（通常状態）のままである。このようにして、ページデータのうちの書き換えデータのバイトロー

41、ページ選択トランスファゲート用トランジスタ群42、カラムトランスファゲート用トランジスタ群43、カラムトランスファゲート用トランジスタ44が設けられている。

次に、上記E<sup>2</sup>PROMにおけるページモードプログラミング動作のうち、説明の簡単化のために代表的にバイトデータA、Bに対応する動作について説明する。

いま、バイトデータAの書き換えを行ない、バイトデータBの書き換えは行なわないようにユーザが選択した場合について説明する。先ず、バイトロードサイクルにおいては、ライトイネーブル線20が有意レベル（たとえば“1”レベル）となってデータの格納を待機するようになる。次に、アドレスバス21に選択バイトに対応するアドレス信号が順次現われるもので、アドレスバス21に現われた第1のセル群11に対応するアドレス信号により第1のバイトアドレスデコード22の出力は“1”レベルになるが、

が行なわれ、選択バイトに対応して書き換えフラグが立つ。なお、このバイトロードサイクル時には、第1、第2のデータストレージ回路群29、41と第1、第2のセル群11、12のビット線群13、16との間に挿入されたページ選択トランスファゲート用トランジスタ群31、33はオフ状態になっており、カラムトランスファゲート用トランジスタ群32、43の状態によらず上記ビット線群13、16とデータストレージ回路群29、41とは電気的に分離されている。

上記動作後（つまり、前記ライトイネーブル線20が“1”レベルになってから一定時間が経過した後）、消去サイクルに入る。このとき、ビット線群13、16の全てのビット線は図示しない回路により接地電位に設定され、選択されたワード線19とプログラム線33とは高電位（たとえば20V）に設定される。そして、第1のFF回路25からのフラグ“1”出力により制御された第1のカラムトランスファゲート駆

用トランジスタ34およびカラムトランスファゲート用トランジスタ群32の各トランジスタのゲート電位は高電位に設定され、第2のFF回路38からのフラグ“0”出力により制御された第2のカムトランスファゲート駆動回路39により、カラムトランスファゲート用トランジスタ44およびカラムトランスファゲート用トランジスタ群43はオフ状態になる。したがって、第1のセル群11における各フローティングゲートトランジスタ $Q_F$ は、ゲートにトランスファゲート用トランジスタ34, 15を経てプログラム線33から高電圧が印加されて消去動作を行なって消去状態(データ“1”)になるが、第2のセル群12における各フローティングゲートトランジスタ $Q_F$ はゲートに高電圧が印加されないので消去動作を行なわない。

次に、プログラムサイクルに入ると、ビット線群13, 16の全てのビット線は接地電位から開放され、ページデコード出力線30が“1”

地電位が与えられたメモリセルおよびビット線群16と第2のデータストレージ回路群41との間のカラムトランスファゲート用トランジスタ群42がオフ状態になっている第2のセル群12の各メモリセルは、そのデータに何の変化も生じない。

上述したようなページモードプログラミングにおいては、書き換えバイトAに対応した第1のセル群11のみの書き換えが行なわれ、書き換えを必要としないバイトBに対応した第2のセル群12に対しては消去およびデータ“0”書き込みのための高電圧の印加が行なわれない。したがって、ページモードプログラミングに際して書き換えバイト数が少ない場合には、残りのバイトについては同一データの書き換えが避けられるのでメモリセルの不良発生の確率が低くなり、信頼性の高い書き換えが実現される。

また、上述したようなページモードプログラミングにおいては、ページモードに入った瞬間にメモリセルのデータを読み出してラッチして

設定される。これにより、ページ選択トランスファゲート用トランジスタ群31, 42はオン状態になり、第1のデータストレージ回路群29のデータはトランジスタ群31および前記第1のカラムトランスファゲート駆動回路26の出力によりオン状態に駆動されているカラムトランスファゲート用トランジスタ群32を経て第1のセル群11に伝達され、“0”を書き込むメモリセルには高電圧、“1”を書き込むメモリセルには接地電位がそれぞれ印加される。この場合、フローティングゲートトランジスタ $Q_F$ のゲートにトランスファゲート用トランジスタ34, 15を経てプログラム線33から接地電位が与えられると共に、トランスファゲートトランジスタ $Q_T$ のドレインに対応するビット線から高電圧が印加されたメモリセルはデータ“0”が書き込まれ、その他のメモリセルのデータ内容は変化しない。したがって、第1のセル群11のうち第1のデータレジスタ回路群29から接

おく必要がないという長所もある。

#### 〔発明の効果〕

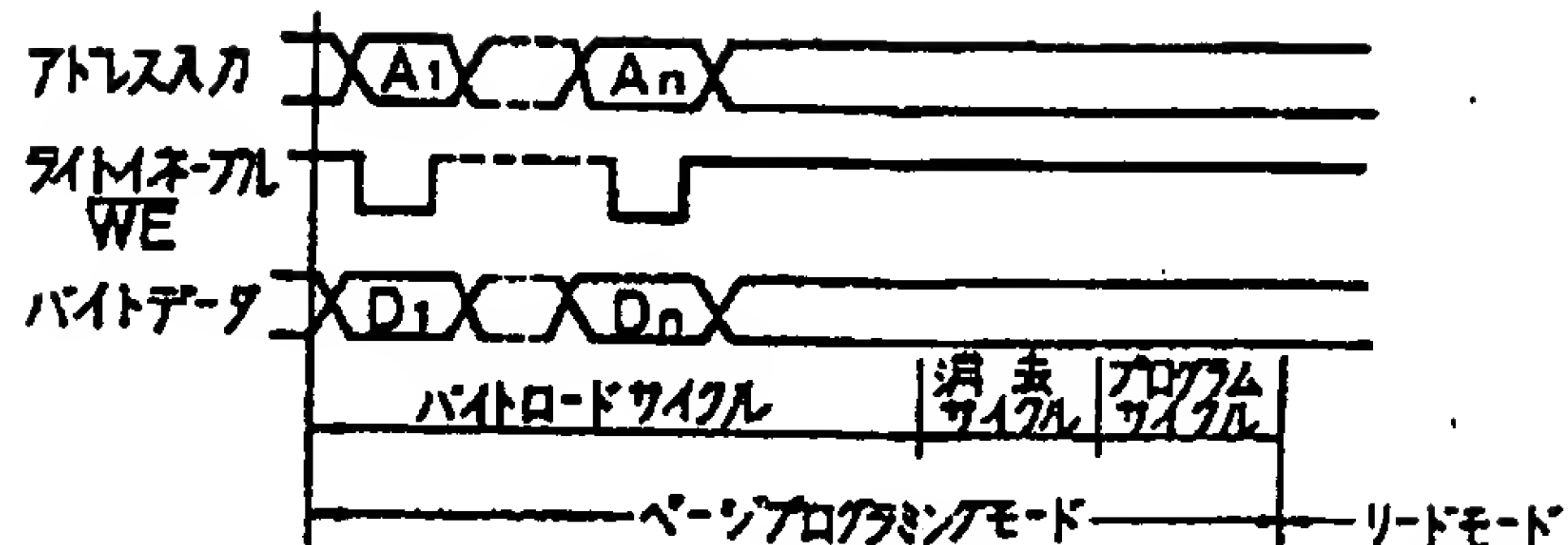
上述したように本発明の電氣的消去・再書き込み可能な読出し専用メモリによれば、同一データの書き換えを避けて書き換えを必要とするデータのみの書き換えを行なりページモードプログラミングが可能であり、メモリセルの不良発生の確率を抑制することができる。

#### 4. 図面の簡単な説明

第1図は本発明に係る $E^2$ PROMの一実施例の一部を示す回路図、第2図は従来提案されている $E^2$ PROMのページモードプログラミングの各サイクルを示す図、第3図は従来考えられているページモードプログラミングのための回路方式を示す図である。

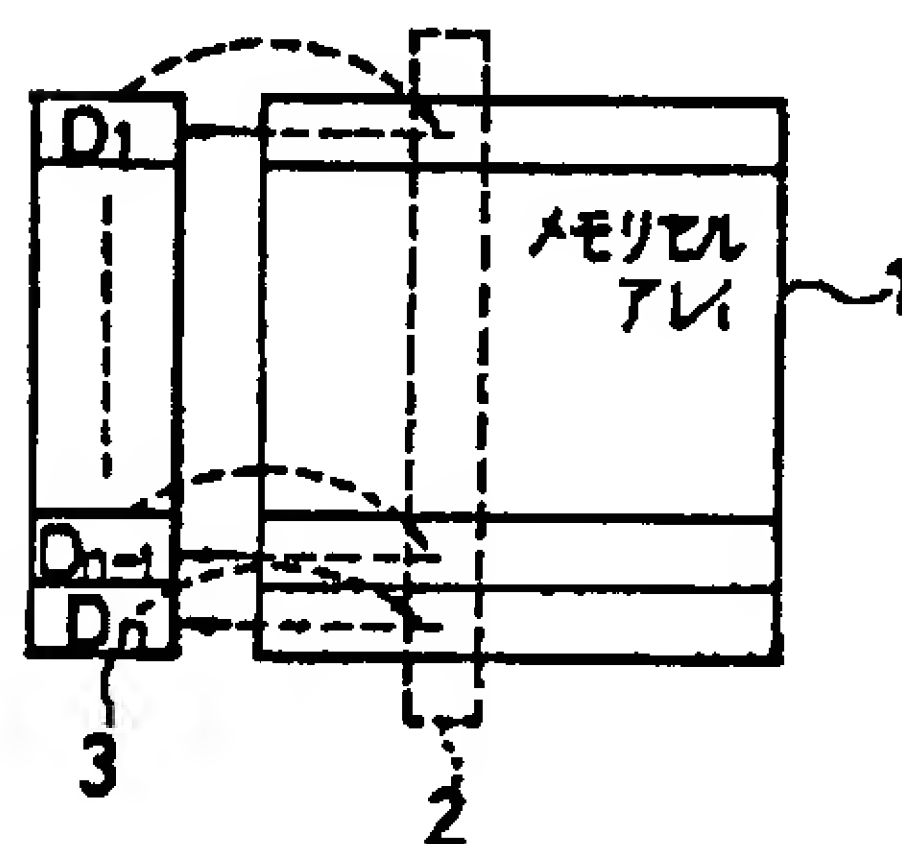
$Q_T$ …トランスファゲート、 $Q_F$ …フローティングゲートトランジスタ、11, 12…セル群、13, 16…ビット線群、14, 17…ゲート制御線、15, 18, 34, 44…トランスファゲート、19…ワード線、20…ライトイネー

イトアドレスデコード、23, 24, 36, 37  
 ... MOS トランジスタ、25, 38 ... FF 回路、  
 26, 39 ... カラムトランスファゲート駆動回  
 路、27 ... データバス、29, 41 ... データス  
 トレージ回路群 (バイトデータバッファ)、30  
 ... ページアドレス出力線、31, 42 ... ページ  
 選択トランスファゲート群、32, 43 ... カラ  
 ム選択トランスファゲート群、33 ... プログラ  
 ム線。



第 3 図

出願人代理人 弁理士 鈴 江 武 彦



第 1 図

